

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-135504

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl. ⁸	識別記号	F I	M
H 0 1 L 21/3205		H 0 1 L 21/88	
21/28	3 0 1	21/28	3 0 1 Z
H 0 5 K 3/06		H 0 5 K 3/06	

審査請求 未請求 請求項の数9 O L (全 7 頁)

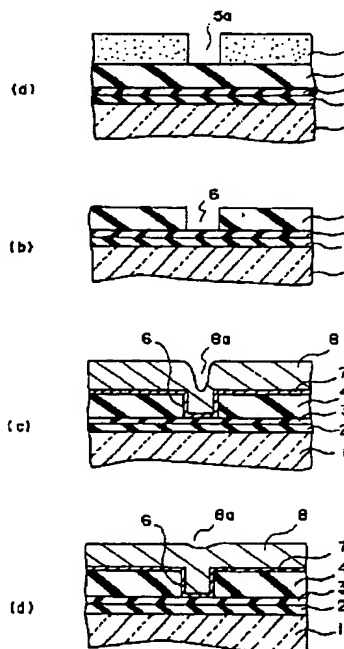
(21) 出願番号	特願平9-298109	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成9年(1997)10月30日	(72) 発明者	高木 英雄 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	宇治 重孝 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	平尾 省二 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(74) 代理人	弁理士 岡本 啓三

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】銅配線を備えた半導体装置の製造方法に関し、溝内への銅の埋め込みを確実に行って抵抗の上昇を抑制するとともに、銅配線のエレクトロマイグレーション耐性を向上すること。

【解決手段】半導体基板1の上方に形成された絶縁膜4に溝6を形成する工程と、ターゲットを用いるスパッタによって絶縁膜4の上と溝6の中に第一の銅膜8を形成する工程と、第一の銅膜8を加熱してリフローする工程と、第二の銅膜9を前記第一の銅膜8の上にメッキ又は化学気相成長法により成長する工程と、絶縁膜4の上の第二の銅膜9、第一の銅膜8を機械化学研磨法により除去することにより、溝6の中に少なくとも第一の銅膜を残す工程とを有する。



【特許請求の範囲】

【請求項1】半導体基板の上方に形成された絶縁膜に溝を形成する工程と、ターゲットを用いるスパッタによって前記絶縁膜の上と前記溝の中に第一の銅膜を形成する工程と、

前記第一の銅膜を加熱してリフローする工程と、

第二の銅膜を前記第一の銅膜の上にメッキ又は化学気相成長法により成長する工程と、

前記絶縁膜の上の前記第二の銅膜、前記第一の銅膜を化学機械研磨法により除去することにより、前記溝の中に少なくとも前記第一の銅膜を残す工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】前記第一の銅膜のリフローは、350℃～450℃の基板温度で水素雰囲気中で行われることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記第一の銅膜は、到達真空度が 2×10^{-7} Torr以下の高真空のベース真空度をもつスパッタ装置で成膜され、5 mTorr以下の雰囲気内で前記ターゲットと前記の間隔を100 mm以上に設定して成長されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】前記第一の銅膜は、基板温度を200℃以下と350℃以上の2段階に変更して形成されることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】前記溝の中の前記第一の銅膜の上面が、前記第一の銅膜の形成直後又はリフロー後に前記絶縁膜の上面よりも高い位置に存在することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】前記溝の中の前記第一の銅膜の上面のうち最も低い部分が、前記第一の銅膜の形成直後又はリフロー後に前記溝の深さの半分よりも高い位置にあることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】前記溝に占める前記第一の銅膜の断面積の割合が、前記第一の銅膜の形成直後又はリフロー後に、前記溝の断面積の半分よりも大きいことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項8】前記第一の銅膜をリフローする工程と前記第二の銅膜を成長する工程の間では、前記半導体基板を大気に曝さずに減圧雰囲気に置かれることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項9】前記溝の中の前記第一の銅膜の上面が、前記第一の銅膜の形成後に前記絶縁膜の上面よりも高い位置に存在することを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、より詳しくは、銅配線を備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置に銅配線を形成する場合に

は、絶縁膜に形成された溝の中に銅を埋め込む方法が採用されている。溝の中に銅を埋め込む方法として、スパッタによって溝の中に銅膜を形成する方法や、メッキ法又は気相成長法によって絶縁膜の上と溝の中に銅膜を成長する方法がある。スパッタによる場合には、銅膜のうち溝の上方で凹部が生じるので銅膜をリフローして平坦化する方法が採用されている。

【0003】また、スパッタにより第一の銅膜を絶縁膜の上と溝の中に形成した後に、第一の銅膜を電極に用いるメッキ法によって第二の銅膜を第一の銅膜上に形成することが、特開平4-217386号公報に記載されている。いずれかの方法によって形成された銅膜は、化学機械研磨(CMP(chemicalmechanical polishing))によって絶縁膜の上から除去されて溝の中にだけ残され、溝に沿って残された銅膜は配線として使用される。

【0004】

【発明が解決しようとする課題】スパッタ法によれば、基板に垂直な方向に膜が成長し易く、横方向には膜が成長し難いので、絶縁膜の溝の内周沿って形成される銅膜が薄くなる一方で、溝の底と絶縁膜の上に形成される銅膜が厚くなる傾向にある。これにより、溝の上の銅膜には凹部が発生し、そのような凹部が存在したまま銅膜を化学機械研磨すると、溝内に残った銅膜にはリセス又はディッシングが生じて配線抵抗が増加する。化学機械研磨は化学反応も伴うので凹部が消えないからである。なお、銅膜を加熱してリフローを行っても凹部は十分に除去されない。

【0005】一方、メッキ法によれば、溝のアスペクト比が大きくなるにつれて、溝の中で成長した金属に空洞が発生し易くなって、抵抗を高くする原因になる。そのような問題は、特開平6-326055号公報においても記載されている。また、メッキ法又は気相成長法により形成された銅膜は、エレクトロマイグレーション耐性が十分でなく、配線の信頼性が低下する。

【0006】さらに、特開平4-217386号公報に記載されているように、溝の内面に沿って第一の銅膜をスパッタにより形成した直後に、その溝の中に第二の銅膜をメッキによって埋め込む方法によれば、溝の形状が第一の銅膜の形状にほぼ反映されるために、アスペクト比が大きくなるにつれてメッキ法の欠点である空洞が生じ易くなる。

【0007】本発明の目的は、溝内への銅の埋め込みを確実に行って抵抗の上昇を抑制するとともに、銅配線のエレクトロマイグレーション耐性を向上するための半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記した課題は、半導体基板の上方に形成された絶縁膜に溝を形成する工程と、ターゲットを用いるスパッタによって前記絶縁膜の上と前記溝の中に第一の銅膜を形成する工程と、前記第一の

銅膜を加熱してリフローする工程と、第二の銅膜を前記第一の銅膜の上にメッキ又は化学気相成長法により成長する工程と、前記絶縁膜の上の前記第二の銅膜、前記第一の銅膜を化学機械研磨法により除去することにより、前記溝の中に少なくとも前記第一の銅膜を残す工程とを有することを特徴とする半導体装置の製造方法によって解決する。

【0009】上記半導体装置の製造方法において、前記第一の銅膜8のリフローは、350℃～450℃の基板温度で水素雰囲気中で行われることを特徴とする。上記半導体装置の製造方法において、前記第一の銅膜は、到達真空度が 2×10^{-7} Torr以下の高真空のベース真空度をもつスパッタ装置で成膜され、5 mTorr以下の雰囲気内で前記ターゲットと前記の間隔を100 mm以上に設定して成長されることを特徴とする。この場合、前記第一の銅膜は、基板温度を200℃以下と350℃以上の2段階に変更して形成してもよい。

【0010】上記半導体装置の製造方法において、前記溝の中の前記第一の銅膜の上面が、前記第一の銅膜の形成直後又はリフロー後に前記絶縁膜の上面よりも高い位置に存在することを特徴とする。上記半導体装置の製造方法において、前記溝の中の前記第一の銅膜の上面のうち最も低い部分が、前記第一の銅膜の形成直後又はリフロー後に前記溝の深さの半分よりも高い位置にあることを特徴とする。

【0011】上記半導体装置の製造方法において、前記溝に占める前記第一の銅膜の断面積の割合が、前記第一の銅膜の形成直後又はリフロー後に、前記溝の断面積の半分よりも大きいことを特徴とする。上記半導体装置の製造方法において、前記第一の銅膜をリフローする工程と前記第二の銅膜を成長する工程の間では、前記半導体基板を大気に曝さずに減圧雰囲気中に置かれることを特徴とする。

【0012】上記半導体装置の製造方法において、前記溝の中の前記第一の銅膜の上面が、前記第一の銅膜の形成後に前記絶縁膜の上面よりも高い位置に存在することを特徴とする。次に、本発明の作用について説明する。本発明によれば、絶縁膜に溝を形成し、その溝内にスパッタ法によって第一の銅膜を形成した後に、第一の銅膜を加熱してリフローし、ついで化学気相成長法又はメッキ法によって第二の銅膜を第一の銅膜の上に形成し、その後化学機械研磨を行って絶縁膜上の第一及び第二の銅膜を除去し、これにより、溝内に銅配線を形成している。

【0013】このように、第二の銅膜を形成する前に第一の銅膜をリフローすると、溝の内又はその上で第一の銅膜に発生する凹部が浅くなり、その上に形成される第二の銅膜の上面が平坦になる。これにより、化学機械研磨後に溝の中に残った銅膜にリセスが発生したり、ディッシングが発生することがなくなる。しかも、溝内に残

った第一の銅膜はスパッタによって形成されたものであり、エレクトロマイグレーション耐性が良好な銅膜が溝内に残ることになる。

【0014】

【発明の実施の形態】そこで、以下に本発明の実施形態を図面に基づいて説明する。

（第1の実施の形態）図1、2は、本発明の第1の実施形態に係る半導体装置製造工程のうちの配線形成工程を示す断面図である。

10 【0015】まず、図1(a)に示す状態になるまでの工程を説明する。シリコン基板1上には、第一の層間絶縁膜2が700 nmの厚さに成長されている。第一の層間絶縁膜2は、シリコン基板1に形成された半導体素子を覆うためのものである。さらに、第一の層間絶縁膜2の上に窒化シリコンよりなるエッチングストップ膜3をプラズマCVD法により50 nmの厚さに成長する。

20 【0016】続いて、プラズマCVD法により膜厚1 μmの第二の層間絶縁膜4をエッチングストップ膜3の上に成長する。第一及び第二の層間絶縁膜2、4としては、基板温度を約300℃、反応ガスとしてシラン系ガスと酸素ガスを用いてプラズマCVD法により形成されるSiO₂膜を用いる。そのような低い温度条件で形成されるSiO₂膜は、一般に低温酸化膜(LTO(low temperature oxide))と呼ばれる。

30 【0017】第二の層間絶縁膜4の形成を終えた後に、第二の層間絶縁膜4の上にレジスト5を塗布し、これを露光、現像して窓5aを形成する。この窓5aは、配線の配置ラインに沿って形成されており、その幅は例えば0.3 μm～0.7 μm程度である。次に、窓5aから露出した第二の層間絶縁膜4をエッチングして図1(b)に示すような溝6を形成する。SiO₂よりなる第二の層間絶縁膜4をエッチングする方法として反応性イオンエッチング(RIE)法を採用し、反応ガスとしてC₄F₈とCOとArの混合ガスを用いると、窒化シリコンよりなるエッチングストップ層によって第二の層間絶縁膜4のエッチングが停止する。

40 【0018】レジスト5を除去した後に、図1(c)に示すように、第二の層間絶縁膜4の上面と溝6の内面にバリアメタル膜7を50 nmの厚さに成長する。バリアメタル膜7としては、スパッタ法により形成されるTiN、Ta₂N、WN、TiSiNのような高融点金属膜を用いる。続いて、真空を破らずに、スパッタ法によりバリアメタル膜7の上に第一の銅膜8を2 μmの厚さに形成する。スパッタ法により形成される銅のグレインサイズは約1 μmである。

50 【0019】スパッタ条件として、到達真空度が 9×10^{-8} Torrである装置を用いて、アルゴンを導入するチャンバ(不図示)の内部の圧力を2 mTorr、銅ターゲットとシリコン基板1の間の直流電源のパワーを12 kW、銅ターゲットとシリコン基板1との間の距離を150 mm、

基板温度を150℃とすると、約1.25 $\mu\text{m}/\text{min}$ の成膜速度が得られる。

【0020】第一の銅膜8を成長する場合には、到達真空度が 2×10^{-7} Torr以下の高真空のベース真空度をもつスパッタ装置を使用し、その装置内で5 mTorr以下の雰囲気内で前記ターゲットと前記の間隔を100 mm以上に設定して1.0 $\mu\text{m}/\text{min}$ 以上の成膜速度としてもよい。また、200℃以下の温度と350℃以上の温度の2段階で成長し、第一の銅膜8の下部をステップカバレッジの良い条件で形成し、その上部を成長速度を高く

してもよい。
【0021】スパッタ法により形成された第一の銅膜8のうち溝6の上には凹部8aが存在するので、図1(d)に示すように、圧力100 mTorrの水素雰囲気中で350℃～450℃の温度で第一の銅膜8を加熱してリフローし、これにより凹部8aを浅くする。次に、図2(a)に示すように、第一の銅膜8の上に第二の銅膜9をメッキ法によって1 μm の厚さに成長する。

【0022】電解メッキ法を用いる場合には、硫酸浴にて電流密度2.5 A/ cm^2 、10 msサイクルのパルス電流を第一の銅膜8に流して第二の銅膜9を成長する。この場合の銅の成長速度は、約1.8 $\mu\text{m}/\text{min}$ である。無電解メッキ法を用いる場合には、25℃の硫酸銅と還元剤(ホルコリン酸)の液にシリコン基板1を浸漬して第二の銅膜9を成長する。

【0023】第一の銅膜8をリフローした後の凹部8aはかなり浅くなっているので、メッキ法により形成された第二の銅膜9の上面には凹部8aの形状が反映されずに平坦である。なお、化学気相成長(CVD)法により第二の銅膜9を形成してもその上面は同じように平坦になる。いずれの方法により第二の銅膜9を成長しても、溝6の中の第一の銅膜8の上面が、第一の銅膜8の形成直後又はリフロー後に第二の層間絶縁膜4の上面よりも高い位置に存在するようにする。また、第一の銅膜8をリフローする工程と第二の銅膜9を成長する工程の間では、前記シリコン基板1を大気に曝さずに減圧雰囲気

に置く。
【0024】次に、図2(b)に示すように、CMP法により第二の銅膜9と第一の銅膜9とバリア金属膜7を順に研磨して溝6内のみ残存させる。その研磨の開始時には第二の銅膜9の表面は平坦であり、しかも、第一の銅膜8の化学機械研磨と第二の銅膜9の化学機械研磨には違いは無いので、溝6の中の第一の銅膜8の上面はほぼ平坦になって、リセスやデッシングは見られなかった。その溝6の中に残された第一の銅膜8は、配線として使用される。

【0025】CMP法による研磨条件としては、例えば、Rodel社製の商品XJFW8099のような Al_2O_3 を含むスラリー(slurry)、Rodel社製の商品IC-1000/Suba400の研磨パッド、研磨パッド側の定盤の回転数を20～1

60 rpm、シリコン基板側の定盤の回転数を40～160 rpm、研磨速度を0.4～2.0 $\mu\text{m}/\text{min}$ 、研磨パッドのシリコン基板1側への圧力を250 g/ cm^2 とする。

【0026】次に、図2(c)に示すように、第二の層間絶縁膜4と第一の銅膜8を覆う窒化シリコン膜10をプラズマCVDにより50 nmの厚さに成長し、さらにその上に低温酸化膜よりなる第三の層間絶縁膜11を形成する。ついで、溝3の上に重なるプラグ孔12を第三の層間絶縁膜11と窒化シリコン膜10に形成する。そして、プラグ孔12の中にバリア金属膜13と銅膜14よりなるプラグを形成した後に、その上に窒化シリコンよりなるエッチングストップ層15と低温酸化膜よりなる第四の層間絶縁膜16を順に形成する。そして、プラグに接続する上側溝17を第四の層間絶縁膜16とエッチングストップ層15に形成し、上側溝17の中に図2(b)の配線と同様の工程によってバリア金属層18と銅膜19を埋め込んで上側の配線を形成する。これにより、ビア構造の絶縁膜ホールを有するいわゆるデュアルダマシン(dual damascene)構造が得られる。

【0027】なお、プラグ孔12に埋め込むプラグとして、選択成長したタングステンを用いてもよい。また、バリア金属膜7、18として、MOCVDにより形成したTiN膜を用いてもよい。さらに、第二の銅膜9をメッキ法ではなく、CVD法によって形成してもよく、このCVD法による場合には β -diketonate材料を用いてもよい。

【0028】以上のような工程によれば、第一の銅膜8はスパッタ法により形成されているので、その銅のグレインサイズが大きくなってエレクトロマイグレーション耐性の良い配線が溝6の中に形成される。しかも、第一の銅膜8をリフローした後に第一の銅膜8の上にメッキ又はCVDにより第二の銅膜9を形成し、ついで第二の銅膜9及び第一の銅膜8を化学機械研磨を行っている。

【0029】これにより、溝6の上に生じる第一の銅膜8の凹部8aが浅くなって第二の銅膜9により埋め込まれ、第二の銅膜9の上面は平坦になる。従って、CMP法による研磨後に溝6の中に配線として残される第一の銅膜8にはリセスやデッシングが発生しなくなり、配線の高抵抗化が防止される。次に、上記した配線のエレクトロマイグレーションの実験結果を説明する。

【0030】表1は、上記実施形態の配線形成工程によって得られる配線深さ0.4 μm の銅配線のエレクトロマイグレーションの実験結果である。表1において、Wは配線幅を、Jは電流密度を、Taは試験温度を、Tsoは複数の試料のうち50%のエレクトロマイグレーションによる不良が発生する時間を示している。

【0031】

【表1】

ウェハナンバー	W (μm)	J (A/cm ²)	Ta (℃)	T ₅₀ (時間)
1	0.44	1×10 ⁷	200	200
2	0.44	1×10 ⁷	225	66
3	0.44	1×10 ⁷	250	31
4	0.44	5×10 ⁶	250	382
5	0.44	1.5×10 ⁷	250	2
6	2.00	1×10 ⁷	250	3

【0032】ウェハナンバー1の銅配線に流す密度を5×10⁶ A/cm²に換算すると、配線幅を0.44 μm、試験温度を200℃の場合にT₅₀は1100時間となった。これに対して、CVD法により溝に埋め込んだ銅膜から形成された従来の配線のエレクトロマイグレーション*

の試験を行ったところ、表2に示すような結果が得られた。これらの結果から、本実施形態によるエレクトロマイグレーション耐性が向上したことがわかる。

【0033】

【表2】

ウェハナンバー	W (μm)	J (A/cm ²)	Ta (℃)	T ₅₀ (時間)
従来 1	0.3	5×10 ⁶	200	93
従来 2	1.0	5×10 ⁶	200	21

【0034】これらの実験結果を換算すると、本実施形態によれば、110℃で0.1%以下の不良の発生を1×10⁷時間保証し、1×10⁶ A/cm²以上の電流を流すことができることになる。

そのような換算には次式を使用する。

$$T_{50} = A * J^N * \exp(E_a / (K_b * T))$$

ここで、Aは定数、Tは絶対温度、E_aは活性化ボルツマン定数、Tは絶対温度、Jは電流密度、Nは電流密度に対する指数である。ただし、Nを-2.46、E_aを0.76 eVとする。

(第2の実施の形態)第1の実施の形態では、第一の銅膜8を第二の層間絶縁膜4よりも厚く形成しているの、第一の銅膜8は溝6を完全に埋めるようになっている。

【0035】しかし、スパッタの成膜条件や溝6のアスペクト比の値によっては溝6の中の第一の銅膜に空洞が入ることも考えられ、これがリフローによって完全に除去できない場合も生じうるので、次のような方法を採用してもよい。即ち、図3(a)に示すように、バリアメタル7を形成した後に、第一の銅膜18を例えば0.8 μm程度に薄く形成することにより、溝6内で第一の銅膜18が占める断面積を溝6の断面積に対して1よりも小さく且つ1/2以上にする。即ち、溝6内での第一の銅膜18の凹部18aを第二の層間絶縁膜4の上面よりも下に位置させる。

【0036】その後、図3(b)に示すように、圧力100 mTorrの水素雰囲気中で350℃～400℃の温度で第一の銅膜18を加熱してリフローし、これにより凹

30

40

50

部18aを浅くする。続いて、図3(c)に示すように、第一の銅膜18の上に第二の銅膜19をCVD法によって0.4 μmの厚さに成長する。この場合、β-diketonate材料を用いる。これにより、第二の銅膜19は、凹部18aを埋めるとともに、その上面全体が平坦になる。

【0037】その後、図3(d)に示すように、CMP法により第二の銅膜19、第一の銅膜18、バリアメタル膜7を研磨して溝6の中のみ残して、これを配線として使用する。この場合、第一の銅膜18は断面U字状になりその上部に第二の銅膜19が埋め込まれている状態となる。このように第一の銅膜18の膜厚を制御すると、溝6における第一の銅膜18の凹部18aの上部が下部よりも広くなるので、第一の銅膜18をリフローした後にその中に空洞が残ることはない。しかも、リフローによって第一の銅膜18の凹部18aは浅くなるので、第一の銅膜18の上に第二の銅膜19を形成した後に、その凹部18aの形状が第二の銅膜19に残ることはない。

【0038】また、第二の銅膜19をメッキ法によって形成しても、その凹部18aは浅くなっているので、実質的なアスペクト比は1よりも小さくなって第二の銅膜19に空洞が生じることはなく、抵抗率の増加が防止される。したがって、第二の銅膜19、第一の銅膜18、バリアメタル膜7を研磨した後に、溝6の中には第一の銅膜18と第二の銅膜19が残ることになるが、そこにはリセスやディッシングが発生することはない、しかも抵抗率の増加が防止される。また、スパッタ法により形

成された第一の銅膜18は溝6の中に1/2以上占めるので、エレクトロマイグレーション耐性は十分に確保される。

【0039】なお、溝6の中の第一の銅膜8の上面のうち最も低い部分が、第一の銅膜8の形成直後又はリフロー後に溝6の深さの半分よりも高い位置に存在するようにしてもよい。また、溝6に占める前記第一の銅膜18の断面積の割合が、第一の銅膜18の形成直後又はリフロー後に、溝6の断面積の半分よりも大きくしてもよい。

【0040】

【発明の効果】以上述べたように本発明によれば、絶縁膜に溝を形成し、その溝内にスパッタ法によって第一の銅膜を形成した後に、第一の銅膜を加熱してリフローし、ついで化学気相成長法又はメッキ法によって第二の銅膜を第一の銅膜の上に形成し、その後に化学機械研磨を行って絶縁膜上の第一及び第二の銅膜を除去するようにしたので、溝の上で第一の銅膜に形成される凹部が浅くなり、その上に形成される第二の銅膜の上面が平坦になる。これにより、研磨後に溝の中に残った銅膜にリセスが発生したり、ディッシングが発生することを防止できる。

*

*【0041】しかも、溝内に残った第一の銅膜はスパッタによって形成されたものであり、その溝内に残って配線となる銅膜はエレクトロマイグレーション耐性を十分に確保することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の配線形成工程を示す断面図（その1）である。

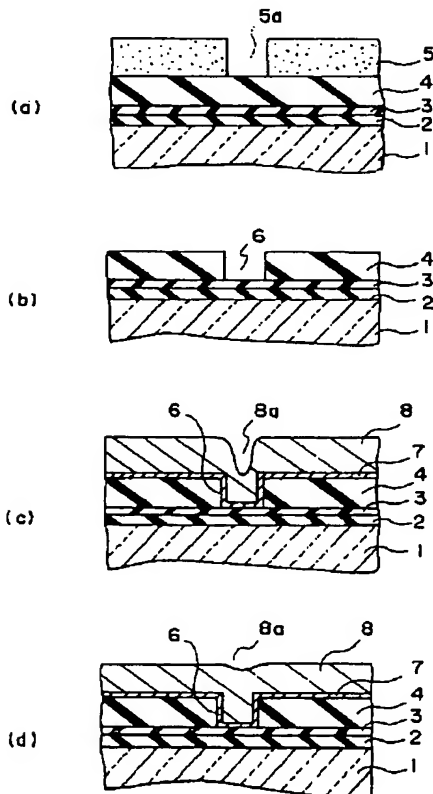
【図2】本発明の第1の実施の形態に係る半導体装置の配線形成工程を示す断面図（その2）である。

10 【図3】本発明の第2の実施の形態に係る半導体装置の配線形成工程を示す断面図である。

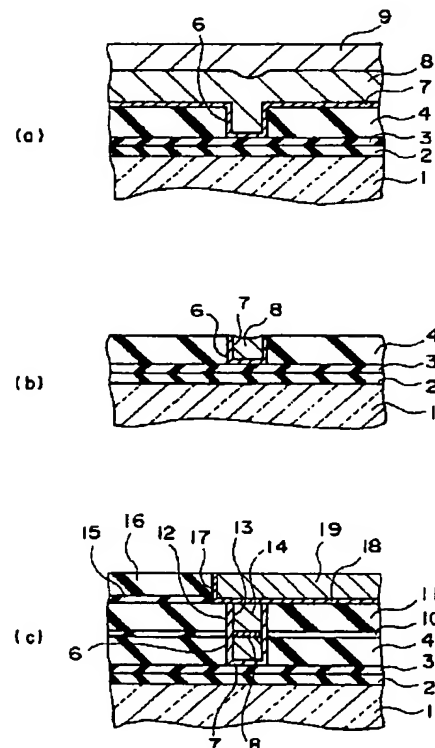
【符号の説明】

- 1 シリコン基板（半導体基板）
- 2 第一の層間絶縁膜
- 3 エッチングストップ層
- 4 第二の層間絶縁膜
- 5 レジスト
- 6 溝
- 7 バリアメタル膜
- 8、18 第一の銅膜
- 9、19 第二の銅膜

【図1】



【図2】



【図3】

